

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No. 249/385

In re patent application of

Hoon-tae KIM, et al.

Group Art Unit: (Unassigned)

Serial No. (Unassigned)

Examiner: (Unassigned)

Filed: Concurrently

For: HIGH-CAPACITANCE CAPACITOR HAVING MULTI-LAYERED VERTICAL
STRUCTURE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA. 22313-1450

Sir:

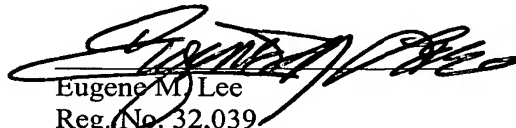
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Application No. 2002-47516, filed August 12, 2002.

Respectfully submitted,

August 7, 2003
Date


Eugene M. Lee
Reg. No. 32,039
Richard A. Sterba
Reg. No. 43,162

LEE & STERBA, P.C.
1101 Wilson Boulevard Suite 2000
Arlington, VA 20009
Telephone: (703) 525-0978

대한민국 특허청

KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0047516
Application Number

출원 년 월 일 : 2002년 08월 12일
Date of Application AUG 12, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

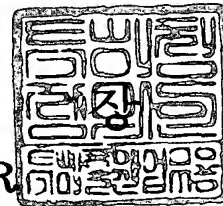


2003 년 02 월 08 일

52

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0025
【제출일자】	2002.08.12
【국제특허분류】	H01L
【발명의 명칭】	다층 수직 구조를 갖는 고용량 커패시터
【발명의 영문명칭】	High capacitance capacitor having multi vertical structure
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	김훈태
【성명의 영문표기】	KIM,Hoon Tae
【주민등록번호】	650101-1690621
【우편번호】	449-740
【주소】	경기도 용인시 기흥읍 두진아파트 103동1307호
【국적】	KR
【발명자】	
【성명의 국문표기】	조계옥
【성명의 영문표기】	CHO,Gea Ok
【주민등록번호】	640809-1634824
【우편번호】	449-846

【주소】 경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차 501동
1301호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
리인 이영
필 (인) 대리인
이해영 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	3 면	3,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】		32,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

RF회로에 적용되는 다층 수직 구조를 갖는 고용량 커패시터에 관해 개시되어 있다. 본 발명은 여기에 상부전극과 하부전극을 구비하고, 상기 두 전극사이에 유전층을 구비하는 RF회로용 커패시터에 있어서, 상기 유전층에 복수의 전극들이 사선으로 나란히 형성되어 있되, 상기 복수의 전극들 중 절반인 제1 전극은 상기 상부전극에만, 나머지 절반인 제2 전극은 상기 하부전극에만 연결되어 있고, 상기 제1 및 제2 전극은 사방으로 교대로 구비된 것을 특징으로 하는 커패시터를 제공한다. 이러한 본 발명을 이용하면, 제조 공정 및 비용을 줄일 수 있고, 단위 체적당 커플링 면적이 증가되므로 커패시터의 정전용량(capacitance)이 증가된다.

【대표도】

도 6

【명세서】

【발명의 명칭】

다층 수직 구조를 갖는 고용량 커패시터{High capacitance capacitor having multi vertical structure}

【도면의 간단한 설명】

도 1 내지 도 4는 종래 기술에 의한 다양한 커패시터를 보여주는 단면도(도 1, 도 4)와 평면도(도 2, 도 3)이다.

도 5는 본 발명의 실시예에 의한 다층 수직 구조를 갖는 고용량 커패시터의 평면도이다.

도 6은 도 5를 6-6'방향으로 절개한 단면도이다.

도 7은 도 6의 A 영역을 확대한 단면도이다.

도 8은 도 7의 B 영역을 확대한 사시도이다.

도 9는 종래의 다층 수직 커패시터와 본 발명의 실시예에 의한 다층 수직 커패시터의 특성을 상호 비교하는데 사용된, 종래 기술 및 본 발명의 실시예에 의한 커패시터를 구성하는 요소의 단편에 대한 사시도이다.

도면의 주요 부분에 대한 부호설명

70, 72:상부 및 하부 전극

70a, 70b:제1 전극

72a, 72b:제2 전극

74:유전층

110, 114:제4 및 제5 도전성 플러그

112:제3 금속층

M1, M2:금속층

P1, P2: 복수의 도전성 플러그

a: 도전성 플러그의 가로 또는 세로 폭

b: 도전성 플러그의 높이(도전성 플러그간 수평간격)

c: 금속층의 두께

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <16> 본 발명은 커패시터에 관한 것으로서, 자세하게는 RF 회로에 사용되는 다층 수직 구조를 갖는 고용량 커패시터에 관한 것이다.
- <17> 상보성 금속산화물 반도체(CMOS) 제조 공정은 디지털 회로의 구현을 위하여 개발되어져서 아날로그 회로의 제작에도 널리 사용되어 지고 있다. 실리콘 게르마늄(SiGe) 혹은 갈륨 비소(GaAs) 공정보다 저렴한 CMOS 공정을 이용하여 RF 회로를 제작하는 과정에서, 실리콘(Si)의 고주파 특성상의 단점을 보완하기 위하여 RF 회로만을 위한 추가 공정이 필요한 경우도 발생한다. 커패시터 제작을 위해 이용되는 추가 금속층(metal layer) 역시 그 중 하나이며, 이로 인하여 제조 원가가 상승하게 된다.
- <18> 또한, 커패시터가 차지하는 면적 역시 비용 상승 원인 중 하나이므로, 추가 비용없이 단위 면적당 정전용량(capacitance)을 크게 할 수 있다면 생산 가격을 절감할 수 있을 것이다.
- <19> 현재의 CMOS 공정을 이용하여 커패시터를 제조하기 위해서는 도 1에 도시된

바와 같이 커패시터 상부 금속층(14)을 RF 회로를 위해 추가로 사용하게 된다. 도 1에서 10은 커패시터 하부 금속층이고, 12는 상부 및 하부 금속층(14, 12)과 함께 커패시터를 구성하는 유전층이다. 그리고 참조번호 22는 커패시터 상부 금속층(14) 위쪽에 형성되는 상부 금속층이다. 커패시터 상부 금속층(14)과 상부 금속층(22)사이에는 층간 절연막(16)이 형성되어 있고, 층간 절연막(16)에 커패시터 상부 금속층(14)이 노출되는 비어홀(18)이 형성되어 있다. 비어홀(18)에 도전성 플러그(20)가 채워져 있다. 상부 금속층(22)과 커패시터 상부 금속층(14)은 도전성 플러그(20)에 의해 연결된다.

<20> 한편, 갈륨비소(GaAs) 공정에 사용되는 인터디지탈 커패시터(interdigital capacitor)의 경우, 도 2에 도시된 바와 같이 평면상의 두 극판 사이의 도전성 커플링(conductive coupling)을 이용하여 커패시터를 구현하게 된다.

<21> 곧, 도 2에서 참조번호 30 및 32는 각각 커패시터를 구성하는 서로 다른 극성을 갖는 제1 및 제2 극판을 나타낸다. 제1 및 제2 극판(30, 32)은 각각 복수개의 전극들로 갈라져 있다. 제1 극판(30)에서 분기된 전극들(30a, 30b, 30c)사이에는 제2 극판(32)에서 분기된 전극들(32a, 32b, 32c)이 위치해 있다. 이에 대한 보다 자세한 사항은 아래의 참조들을 참조한다.

<22> G. Alley, "Interdigital Capacitors and Their Application to Lumped-Element Microwave Integrated Circuits," IEEE Trans. MTT-18, December 1970, pp. 1028-1033.

<23> R. Esfandiari, D. Maku, and M. Siracusa, "Design of Interdigitated Capacitors and Their Application to Gallium-Arsenide Monolithic Filters," IEEE Trans. MTT, Vol. 31, No. 1, January 1983, pp. 57-64.

- <24> 한편, 다층 구조를 갖는 커패시터를 구현하기 위해서 극판을 수평적으로 구비하는 대신, 수직으로 구비하고 극판사이의 커플링을 이용하는 커패시터가 제안된 바 있다 (USP6,297,524 참조).
- <25> 도 3은 도 4에 도시된 상기 제안된 커패시터의 단면도를 참조하여 본 발명자가 작성한 상기 제안된 커패시터에 대한 평면도이다. 도 3에서 참조번호 40, 42는 각각 상부 전극 및 하부전극을 나타낸다. 그리고 참조번호 40a는 일단이 상부전극(40)에 접촉되어 있고, 타단은 상부전극(40)으로부터 수직하게 하부전극(42)을 향해 소정 길이만큼 뻗은 수직 상부전극을 나타낸다. 반대로, 참조번호 42a는 일단이 상부전극(40)과 마주하는 하부전극(42)의 면에 접촉되어 있고, 타단은 하부전극(42)으로부터 수직하게 상부전극(40)을 향해 소정 길이만큼 뻗은 수직 하부전극을 나타낸다. 상부전극(40) 위쪽에서 바라보았을 때, 수직 상부 및 하부전극들(40a, 42a) 모두 보이지 않는 것이나, 편의 상 보이는 것으로 도시하였으며, 수직 하부전극(42a)은 상부전극(40)에 접촉되지 않는 관계로 점선으로 도시하였다.
- <26> 도 3을 4-4'방향으로 절개한 도 4를 참조하면, 수직 상부 및 하부전극들(40a, 42a)은 모두 순차적으로 적층된 금속층들(46, 552, 58), 이들을 수직으로 연결하는 도전성 플러그들(50, 56), 하부전극(42)과 제1 금속층(46)을 연결하는 제1 도전성 플러그(44) 및 상부전극(40)과 제3 금속층(58)을 연결하는 제4 도전성 플러그(52)로 구성된 것을 알 수 있다.
- <27> 구체적으로 설명하면, 하부전극(42) 상에 제1 층간 절연막(43)이 형성되어 있고, 제1 층간 절연막(43)에 하부전극(42)이 노출되는 비어홀(h1)이 복수개 형성되어 있다. 제1 비어홀(h1)에 제1 도전성 플러그(44)가 채워져 있고, 그 표면을 제1 층간 절연막

(43)과 동일한 면이 되도록 평탄화되어 있다. 제1 층간 절연막(43) 상에 제1 도전성 플러그(44)의 2배수에 해당하는 제1 금속층(46)이 형성되어 있다. 이러한 제1 금속층(46)은 서로 소정 간격만큼 이격되어 있다. 전체의 제1 금속층(46) 중에서 절반은 제1 도전성 플러그(44)와 일대 일로 대응하며 제1 도전성 플러그(44)의 전면과 접촉된다. 제1 금속층(46)의 나머지 절반은 제1 도전성 플러그(44)사이의 제1 층간 절연층(43) 상에 형성되어 있다. 제1 층간 절연막(43) 상에 제1 금속층(46)을 덮는 제2 층간 절연막(48)이 소정의 두께로 형성되어 있다. 제2 층간 절연막(48)에 제1 금속층(46)이 노출되는 제2 비어홀(h2)이 제1 금속층(46)과 동수로 형성되어 있다. 제2 비어홀(h2)에 제2 도전성 플러그(50)가 채워져 있고 그 표면은 제2 층간 절연막(48)의 표면과 동일하게 평탄화되어 있다. 제2 층간 절연막(48) 상에 제2 도전성 플러그(50)와 동수로 제2 금속층(52)이 형성되어 있다. 제2 금속층(52)은 제2 도전성 플러그(50)와 일대 일로 대응하며, 그 전면과 접촉된다. 제2 층간 절연막(48) 상에 제2 금속층(52)을 덮는 제3 층간 절연막(54)이 소정 두께로 형성되어 있다. 제3 층간 절연막(54)에 제2 금속층(52)이 노출되는 제3 비어홀(h3)이 제2 금속층(52)과 동수로 형성되어 있다. 제3 비어홀(h3)에 제3 도전성 플러그(56)가 채워져 있고 그 표면은 제3 층간 절연막(54)의 표면과 동일하게 평탄화되어 있다. 제3 층간 절연막(54) 상에 제3 도전성 플러그(56)와 동수로 제3 금속층(58)이 형성되어 있다. 제3 금속층(58)은 제3 도전성 플러그(56)와 일대 일로 대응하며, 그 전면과 접촉된다. 제3 층간 절연막(54) 상에 제3 금속층(58)을 덮는 제4 층간 절연막(60)이 형성되어 있다. 제1 내지 제4 층간 절연막(43, 48, 54, 60)은 모두 동일한 절연막이다. 제4 층간 절연막(60)에 복수의 제4 비어홀(h4)이 형성되어 있다. 제4 비어홀(h4)은 제1 비어홀(h1)과 동수로 형성된다. 곧, 제4 비어홀(h4)의 전체 수는 제3 금속층(58)의

전체 수의 절반이다. 제4 비어홀(h4)은 제1 비어홀(h1)과 엇갈리게 형성된다. 곧, 제4 비어홀(h4)은 제4 층간 절연막(60) 중에서 제1 비어홀(h1) 사이에 대응되는 영역에 형성된다. 이에 따라, 복수의 제3 금속층(58) 중에서 제1 비어홀(h1)사이에 위치하는 금속층(전체수의 반)만이 제4 비어홀(h4)을 통해 노출되고, 나머지는 제4 층간 절연막(60)에 그 전면이 덮인 상태가 된다. 이렇게 형성된 제4 비어홀(h4)에 제4 도전성 플러그(62)가 채워져 있다. 제4 도전성 플러그(62)의 표면은 제4 층간 절연막(60)의 표면과 동일하게 평탄화되어 있다. 이러한 제4 층간 절연막(60) 상에 상부전극(40)이 형성되어 있다. 상부전극(40)은 제4 도전성 플러그(62)의 전면과 접촉된다. 제4 도전성 플러그(62)와 제1 층간 절연막(43)사이에 순차적으로 적층된 제1 금속층(46), 제2 도전성 플러그(50), 제2 금속층(52) 및 제3 도전성 플러그(56)와 함께 제4 도전성 플러그(50)는 상기한 수직 상부전극(40a)을 구성한다. 그리고 하부전극(42)과 접촉된 제1 도전성 플러그(44)와 함께 제1 도전성 플러그(44) 상으로 순차적으로 적층된 제1 금속층(46), 제2 도전성 플러그(50), 제2 금속층(52), 제3 도전성 플러그(56) 및 제3 금속층(58)은 상기한 수직 하부전극(42a)을 구성한다. 이와 같이 수직 상부 및 하부 전극(40a, 42a)은 사방으로 교대로 형성되어 있다.

<28> 상술한 바와 같은 종래 기술의 경우, 현재의 CMOS 공정에서 커패시터를 구현하기 위해서는 RF 회로를 위해 별도의 금속층을 더 형성해야 하기 때문에, 공정이 추가되고 비용도 증가하게 된다. 또한, 보다 고집적된 RF회로를 구성함에 있어, 커패시터의 사이즈는 줄이면서 그 정전용량은 적어도 그대로 유지시킬 필요가 있는데, 상술한 종래의 커패시터의 경우, 사이즈와 함께 그 정전용량도 함께 줄어들기 때문에 개선의 필요성이 있다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, 별도의 추가 공정 없이 제조될 수 있고, 단위 면적당 정전용량을 증가시킬 수 있어 고집적 RF회로를 구성하는데 적합한 다층 수직 구조를 갖는 커패시터를 제공함에 있다.

【발명의 구성 및 작용】

<30> 상기 기술적 과제를 달성하기 위하여, 상부전극과 하부전극을 구비하고, 상기 두 전극사이에 유전층을 구비하는 RF회로용 커패시터에 있어서, 상기 유전층에 복수의 전극들이 사선으로 나란히 형성되어 있되, 상기 복수의 전극들 중 절반인 제1 전극은 상기 상부전극에만, 나머지 절반인 제2 전극은 상기 하부전극에만 연결되어 있고, 상기 제1 및 제2 전극은 사방으로 교대로 구비된 것을 특징으로 하는 커패시터를 제공한다.

<31> 여기서, 상기 제1 및 제2 전극 중 적어도 어느 하나는 복수의 도전성 플러그 및 이들을 수평적으로 연결하는 복수의 금속층으로 이루어진 계단형이되, 상기 복수의 도전성 플러그들은 수평으로 상기 금속층의 수평길이보다 작은 간격으로 이격되어 있고, 수직으로 상기 금속층의 두께만큼 이격되어 있다.

<32> 상기 제1 및 제2 전극 중 적어도 어느 하나는 수평으로 상기 금속층의 길이보다 작은 간격으로 이격되어 있고, 수직으로 상기 금속층의 두께만큼 이격된 2개의 도전성 플러그; 및 상기 두 도전성 플러그 중 어느 하나의 하단과 나머지 도전성 플러그의 상단을 연결하는 한 개의 금속층으로 이루어진 것이다.

- <33> 상기 유전층은 실리콘 질화막(Si_3N_4) 또는 이것보다 유전율이 낮거나 높은 물질층이다.
- <34> 이러한 본 발명의 커패시터는 디지털 혹은 아날로그 회로를 위하여 개발된 CMOS 공정을 이용하여 제작되는데, 별도의 공정이 추가되지 않는다. 따라서, 종래에 비해 공정 및 비용을 줄일 수 있다. 그러면서도 커패시터의 단위 면적당 정전용량(capacitance)은 증가된다.
- <35> 이하, 본 발명의 실시예에 의한 다층 수직 구조를 갖는 커패시터(이하, 다층 수직 커패시터라 한다)를 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.
- <36> 도 5는 다층 수직 커패시터의 평면도이다. 도 5에서 참조번호 70은 상부전극을 나타내고, 72는 상부전극과 마주하는, 상부전극(70) 아래에 구비된 하부전극을 나타낸다. 70a 및 70b는 상부전극(70)의 하부전극(72)과 마주하는 면에 연결된 제1 전극을, 72a 및 72b는 하부전극(72)의 상부전극(70)과 마주하는 면에 연결되어 상부전극(70) 근처까지 연장된, 상부전극(70)과 접촉되지 않은 제2 전극을 나타낸다. 상부전극(70) 위에서 볼 경우, 상부전극(70)이 투명한 경우를 제외하고, 제1 및 제2 전극(70a, 70b, 72a, 72b) 모두 보이지 않는 것이나, 편의 상 보이는 것으로 도시하였다. 이때, 상부전극(70)에만 접촉되는 제1 전극(70a, 70b)을 상부전극(70)에 접촉되지 않고 하부전극(72)에만 접촉되는 제2 전극(72a, 72b)과 구별하기 위해, 제1 전극(70a, 72b)은 빗금으로 표시하였다. 또한, 도 5의 가로축에 표기된 1, 2, 3, ..., m, m+1, ..., n-1, n은 제1 전극(70a, 70b) 또는 제2 전극(72a, 72b)의 열(column) 위치를 나타내고, 세로축에 표기된 1, 2, 3, ..., m, m+1, ..., n-1, n은 제1 전극(70a, 70b) 또는 제2 전극(72a, 72b)의 행(row) 위치를

각각 나타낸다. 따라서, 하기에서 $(m, m+1)$ 은 m 행 $m+1$ 열에 위치한 전극의 위치를 나타낸다.

<37> 도 5를 참조하면, 제1 전극(70a, 70b)의 면적이 서로 다른데, 이것은 상부전극(70)과 제1 전극(70a, 70b)의 접촉 면적이 전극마다 다른 것을 나타낸다. 제2 전극(72a, 72b)의 경우도 유사한데, 이 경우는 제2 전극(72a, 72b)의 상부전극(70)을 향하는 끝단 면적이 서로 다른 것을 나타낸다. 이에 대해서는 후술된다. 제1 및 제2 전극(70a, 70b, 72a, 72b)은 사방으로 교대로 배열되어 있다. 또한, 행 및 열로 배열된 제1 및 제2 전극들(70a, 70b, 72a, 72b)의 절반은 상부전극(70)에 연결되고, 나머지 절반은 하부전극(72)에 연결된다는 것을 알 수 있다.

<38> 도 5를 6-6'방향으로 절개한 단면을 보여주는 도 6을 참조하면, 상부전극(70)과 하부전극(72)사이의 유전층(74)이 형성되어 있고, 유전층(74)에 복수의 제1 전극(70a, 70b)과 복수의 제2 전극(72a, 72b)이 사선으로 나란하게 형성될 것을 볼 수 있다. 이때, 제1 및 제2 전극(70a, 70b, 72a, 72b)의 경사 정도는 스펙(spec)에 따라 제조 과정에서 조정된다. 상술한 바와 같이, 복수의 제1 전극(70a, 70b)은 상부전극(70)에만 연결되어 있고, 복수의 제2 전극(72a, 72b)은 하부전극(72)에만 연결되어 있다.

<39> 계속해서, 도 6의 좌측에서 우측으로 가면서 제1 및 제2 전극(70a, 70b, 72a, 72b)은 교대로 형성되어 있는데, 이러한 패턴은 지면에 수직한 방향에서도 나타난다. 따라서, 사방의 제1 전극(70a 또는 70b)사이의 제2 전극(72a 또는 72b)이 반드시 존재하는데, 그 반대의 경우도 성립한다.

<40> 이와 같이, 제1 전극(70a, 70b)과 제2 전극(72a, 72b)은 사선으로 나란하게 그리고 사방으로 교대로 배열되어 있으면서 각 전극의 극성은 다르게 인가된다. 때문에, 한 전

극(예컨대 제1 전극(70a, 70b) 중 "70a"로 나타낸 전극)은 둘레의 제2 전극(72a, 72b)과 커플링을 이루게 된다. 더욱이 각 전극들은 모두 사선으로 배열되어 있기 때문에, 종래의 상부 및 하부 전극에 수직하게 배열된 경우보다 각 전극이 대향하는 면적이 훨씬 증가되므로, 종래의 커패시터에 비해 정전용량이 훨씬 증가된다.

<41> 상부 및 하부전극(70, 72)사이에 형성된 유전층(74)은 실리콘 질화막(Si_3N_4)인 것이 바람직하나, 실리콘(Si)과 질소(N)의 성분비를 달리하는 실리콘 질화막이라도 무방하고, 실리콘 질화막보다 유전율이 낮은, 예를 들면 실리콘 산화막이라도 무방하며, 반대로 실리콘 질화막보다 유전율이 높은, 예를 들면 Ta_2O_5 막, STO막 또는 PZT막 등과 같은 고유전율을 갖는 물질막이라도 무방하다.

<42> 한편, 제1 및 제2 전극(70a, 70b, 72a, 72b)은 사선으로 평행한 상태를 유지하면서 다양한 형태를 가질 수 있는데, 도 7은 그 일 예를 보여준다.

<43> 구체적으로, 도 7은 도 6에 표시된 영역(A)을 확대 도시한 것으로써, 제1 및 제2 전극(70a, 70b, 72a, 72b)은 계단형으로 형성된 것을 알 수 있다. 제1 및 제2 전극(70a, 70b, 72a, 72b)의 상단을 보면, 끝나는 부분이 모두 다른 것을 알 수 있다. 곧, 사선으로 배열된 영향으로, 제1 전극(70a, 70b)의 경우, 계단의 수평부분에서 끝나는데 반해, 제2 전극(72a, 72b)의 경우, 계단의 수직부분에서 끝난다. 따라서, 각 전극의 끝나는 부분의 단면적이 다르게 된다. 이와 같은 경우는 제1 전극(70a, 70b)과 상부전극(70)이 연결 및 제2 전극(72a, 72b)과 하부전극(72)의 연결에도 그대로 적용된다. 이러한 결과에 따라, 도 5에 도시한 바와 같이, 제1 전극(70a, 70b)이 상부전극(70)과 접촉되는 면적이 다르고, 상부전극(70) 근처까지 연장된 제2 전극(72a, 72b)의 단부의 면적은 다르게 된다.

- <44> 도8은 도 7에서 제2 전극(72b)의 일부 영역(B)을 확대 도시한 사시도로써, 제1 전극(70a, 70b)에도 적용된다.
- <45> 도 8을 참조하면, 제1 전극(70a, 70b) 또는 제2 전극(72a, 72b)은 계단의 수직 성분인 복수의 도전성 플러그(P1, P2)와 계단의 수평 성분인 복수의 금속층(M1, M2)으로 이루어진 것을 알 수 있다. 복수의 도전성 플러그(P1, P2)는 수직으로 금속층(M1)의 두께만큼 이격되어 있고, 수평으로 금속층(M)의 길이보다 작은 거리만큼 이격되어 있다. 각각의 금속층은 인접한 두 도전성 플러그의 상단과 하단을 연결한다.
- <46> 다음에는 상기한 다층 수직 커패시터와 제1 및 제2 전극이 상부 및 하부 전극에 수직하게 형성된 종래 커패시터의 비교 결과에 대해 설명한다.
- <47> 도 9는 이러한 비교를 위한 사시도로써, (a)도는 종래 커패시터의 하부 또는 상부 전극에 수직한 전극(이하, 수직전극이라 함)의 일부에 대한 사시도이고, (b)도는 본 발명의 다층 수직 커패시터의 제1 전극 또는 제2 전극의 사시도이다.
- <48> (a) 도에서 참조번호 98, 102, 106은 각각 제1 내지 제3 도전성 플러그를, 100 및 104는 각각 제1 및 제2 금속층을 나타낸다. 이때, 각 도전성 플러그의 단면은 한 변의 길이가 a인 정사각형인 것으로 하였다. 그리고 각 도전성 플러그의 높이는 b로 하였고, 제1 및 제2 금속층(100, 104)의 두께는 c로 하였다.
- <49> 실제 공정에서 상기 각 도전성 플러그와 연결되어지는 제1 및 제2 금속층(100, 104)은 각 도전성 플러그에 비해서 $0.1\mu\text{m}$ 이상 큰 면적을 가지고 있는 것이 바람직하지만, 계산의 편의를 위하여 같다고 가정하였다.

- <50> 또한, (b) 도에서, 참조번호 110, 114는 제4 및 제5 도전성 플러그를, 112는 제4 도전성 플러그(110)의 상단과 제5 도전성 플러그(114)의 하단을 연결하는 제4 금속층이다. 제4 금속층(112)의 두께는 상기 종래의 수직전극의 제1 및 제2 금속층(100, 104)의 두께와 동일한 값(c)으로 하였다. 그리고 제4 및 제5 도전성 플러그(110, 114)의 높이와 수평 간격은 동일한 값(b)으로 하였다.
- <51> 하기 표 1 내지 3에서 참조부호 A1, V1 및 A1/V1은 각각 종래의 수직 전극이 차지하는 체적, 커패시터가 이루어지는 면적 및 단위 체적당 커패시터가 되는 면적을 나타내고, 참조부호 A2, V2 및 A2/V2는 각각 본 발명의 다층 수직 커패시터의 전극의 그것들을 나타낸다.
- <52> 아래의 표 1은 금속층의 두께 변화에 따른 커패시터의 정전용량의 변화를 나타낸 것이고, 표 2는 도전성 플러그의 단면적 증가에 따른 커패시터의 정전용량 변화는 나타낸 것이며, 표 3은 금속층의 두께 및 도전성 플러그의 단면적을 모두 변화시켰을 때의 커패시터의 정전용량 변화는 나타낸 것이다.
- <53> 표 1의 금속층의 두께 변화와 관련하여, 도전성 플러그의 높이인 b값은 공정에서 고정된 값이므로 고정시킨 다음, 종래의 커패시터와 본 발명의 다층 수직 커패시터가 동일한 성능을 지니는 a 및 c값을 구하였다. 이어서, 도전성 플러그의 단면적인 a를 고정시킨 다음, 제1 내지 제3 금속층(100, 104, 112)의 두께(c)를 $6\mu\text{m}$ 에서 $2\mu\text{m}$ 까지 변화시켰다.
- <54> [표 1]

<55>

a	b	c	A1	V1	A1/V1	A2	V2	A2/V2	(A2/V2)/(A1/V1)
[0.6^{0m}]	[0.9^{0m}]	[0.6^{0m}]	[9.36^{12m^2}]	[1.40^{18m^3}]	[6.67^{0m}]	[9.36^{12m^2}]	[1.40^{12m^2}]	[6.67^{0m}]	100%
0.6	0.9	0.5	8.88	1.33	6.67	8.82	1.28	6.90	103.5
0.6	0.9	0.4	8.40	1.26	6.67	8.28	1.15	7.19	107.8
0.6	0.9	0.3	7.92	1.19	6.67	7.74	1.03	7.54	113.2
0.6	0.9	0.2	7.44	1.12	6.67	7.20	0.90	8.00	120.0

<56> 표 1을 참조하면, 동일한 체적일 때, 본 발명의 다층 수직 커패시터의 정전용량이 종래 커패시터의 정전용량보다 20%정도 크다는 것을 알 수 있다.

<57> 한편, 제1 내지 제3 금속층(100, 104, 112)으로 알루미늄층이 사용되는 경우, 그 두께는 예를 들면, 4~6 μ m 정도이고, 구리층(Cu)이 사용되는 경우, 그 두께는 예를 들면, 4~2 μ m 정도이다. 이러한 금속층의 두께를 감소시키는 작업에는 추가 공정이 필요치 않으며, 금속층의 저항을 일정수준 이하로 유지하기 위해서는 최소의 두께가 요구된다.

<58> 그러나, 본 발명의 다층 수직 커패시터의 경우, 전류가 흐르는 방향이 더 이상 수평방향이 아니라 수직 방향이므로, 상부 및 하부전극사이에 형성된 단위 전극의 저항 성분의 감소를 위해서는 커패시터의 정전용량이 금속층의 두께(c) 보다 도전성 플러그의 단면적 값인 a에 의해서 좌우된다고 볼 수 있다. 표 2는 이 경우에 대한 결과를 보여준다.

<59> [표 2]

<60>

a	b	c	A1	V1	A1/V1	A2	V2	A2/V2	(A2/V2)/(A1/V1)
[0.6^{0m}]	[0.9^{0m}]	[0.6^{0m}]	[9.36^{12m^2}]	[1.40^{18m^3}]	[6.67^{0m}]	[9.36^{12m^2}]	[1.40^{12m^2}]	[6.67^{0m}]	100%
0.7	0.9	0.6	10.92	1.91	5.71	10.88	1.85	5.89	103.0
0.8	0.9	0.6	12.48	2.50	5.00	12.44	2.35	5.29	105.8
0.9	0.9	0.6	14.04	3.16	4.44	14.04	2.92	4.81	108.3
1.0	0.9	0.6	15.60	3.90	4.00	15.68	3.54	4.43	110.7

<61> 표 2를 참조하면, 도전성 플러그의 단면의 한 변의 길이(a)를 $0.6\mu\text{m}$ 에서 $1.0\mu\text{m}$ 로 증가시켜 기생 저항성분을 감소시켰을 때, 본 발명의 다층 수직 커패시터의 정전용량이 종래 커패시터에 비해 10% 정도 증가한다는 것을 알 수 있다.

<62> 한편, 아래의 표 3을 참조하면, 제1 내지 제5 도전성 플러그(98, 102, 106, 110, 114)의 단면적과 제1 내지 제3 금속층(100, 104), 112)의 두께(c) 모두를 변화시켰을 때, 본 발명의 다층 수직 커패시터의 정전용량이 종래의 커패시터에 비해 32%정도 증가한다는 것을 알 수 있다.

<63> [표 3]

a	b	c	A1	V1	A1/V1	A2	V2	A2/V2	(A2/V2)/(A1/V1)
$[0.6\mu\text{m}]$	$[0.9\mu\text{m}]$	$[0.6\mu\text{m}]$	$[9.36\mu\text{m}^2]$	$[1.44\mu\text{m}^2]$	$6.47\mu\text{m}$	$[9.36\mu\text{m}^2]$	$[1.44\mu\text{m}^2]$	$6.47\mu\text{m}$	100%
1.0	0.9	0.2	12.40	3.10	4.00	12.56	2.38	5.28	131.9

<65> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예들 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면, 복수의 금속층 중에서 적어도 어느 하나의 길이를 다른 것보다 길게 할 수 있을 것이다. 마찬가지로 복수의 도전성 플러그 중에서 적어도 어느 하나의 길이를 다른 것보다 길게 할 수도 있을 것이다. 또한, 일부 도전성 플러그의 재질을 다르게 하거나 일부 금속층의 재질을 다르게 할 수도 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

【발명의 효과】

<66> 상술한 바와 같이, 본 발명에 의한 다층 수직 커패시터는 그 제조 과정에서 별도의 공정이 추가되지 않기 때문에, 종래에 비해 공정 및 비용을 줄일 수 있다. 또한, 상부전

극에만 형성되는 복수의 제1 전극과 하부전극에만 연결되고 제1 전극사이사이에 형성된 복수의 제2 전극이 유전층에 경사지게 계단형으로 형성되어 있다. 이에 따라, 종래의 커패시터에 비해 단위 체적당 커펴링 면적이 증가되어 정전용량(capacitance)이 증가된다.

【특허청구범위】**【청구항 1】**

상부전극과 하부전극을 구비하고, 상기 두 전극사이에 유전층을 구비하는 RF회로용 커패시터에 있어서,

상기 유전층에 복수의 전극들이 사선으로 나란히 형성되어 있되,

상기 복수의 전극들 중 절반인 제1 전극은 상기 상부전극에만, 나머지 절반인 제2 전극은 상기 하부전극에만 연결되어 있고, 상기 제1 및 제2 전극은 사방으로 교대로 구비된 것을 특징으로 하는 커패시터.

【청구항 2】

제 1 항에 있어서, 상기 제1 및 제2 전극 중 적어도 어느 하나는 복수의 도전성 플러그 및 이들을 수평적으로 연결하는 복수의 금속층으로 이루어진 계단형이되,

상기 복수의 도전성 플러그들은 수평으로 상기 금속층의 수평길이보다 작은 간격으로 이격되어 있고, 수직으로 상기 금속층의 두께만큼 이격된 것을 특징으로 하는 커패시터.

【청구항 3】

제 2 항에 있어서, 상기 제1 및 제2 전극 중 적어도 어느 하나는,

수평으로 상기 금속층의 길이보다 작은 간격으로 이격되어 있고, 수직으로 상기 금속층의 두께만큼 이격된 2개의 도전성 플러그; 및

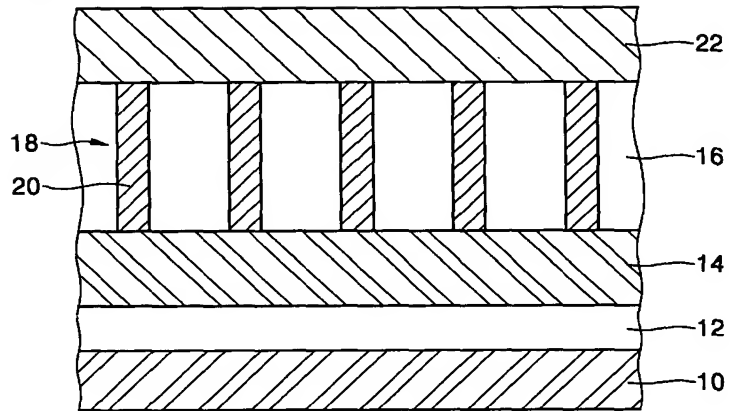
상기 두 도전성 플러그 중 어느 하나의 하단과 나머지 도전성 플러그의 상단을 연결하는 한 개의 금속층으로 이루어진 것을 특징으로 하는 커패시터.

【청구항 4】

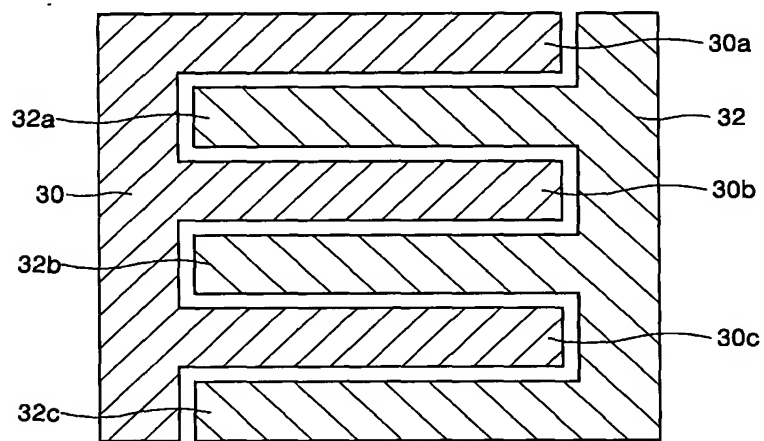
제 1 항에 있어서, 상기 유전층은 실리콘 질화막(Si_3N_4) 또는 이것보다 유전율이 낮거나 높은 물질층인 것을 특징으로 하는 커패시터.

【도면】

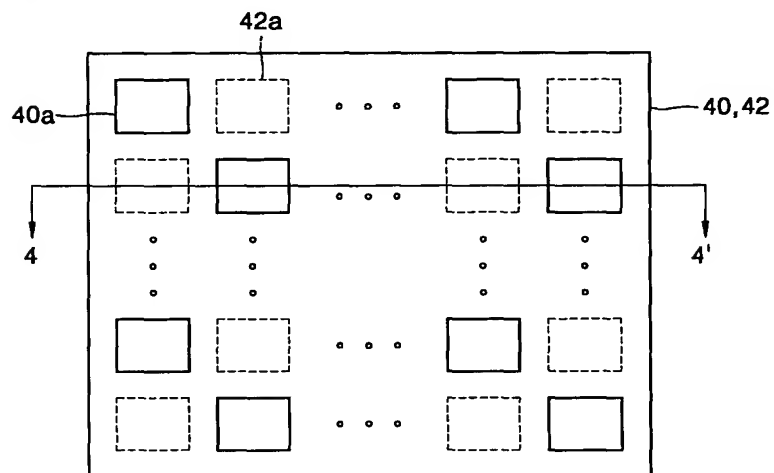
【도 1】



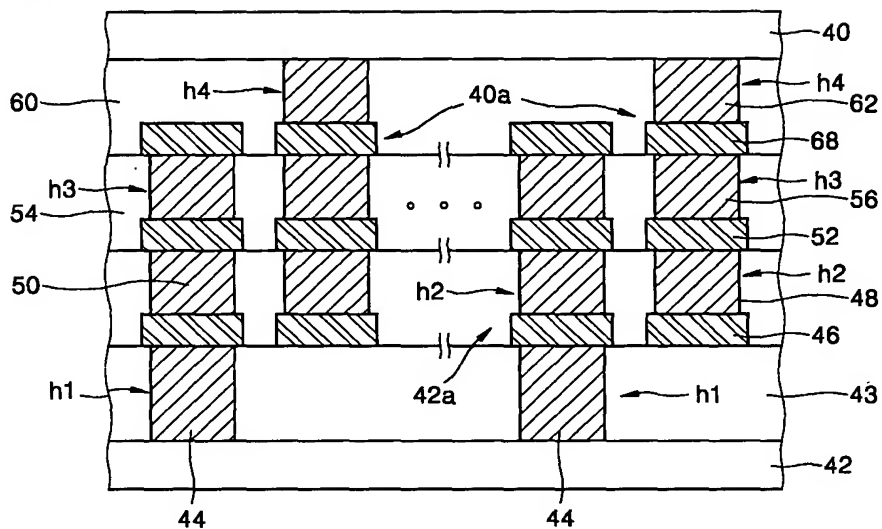
【도 2】



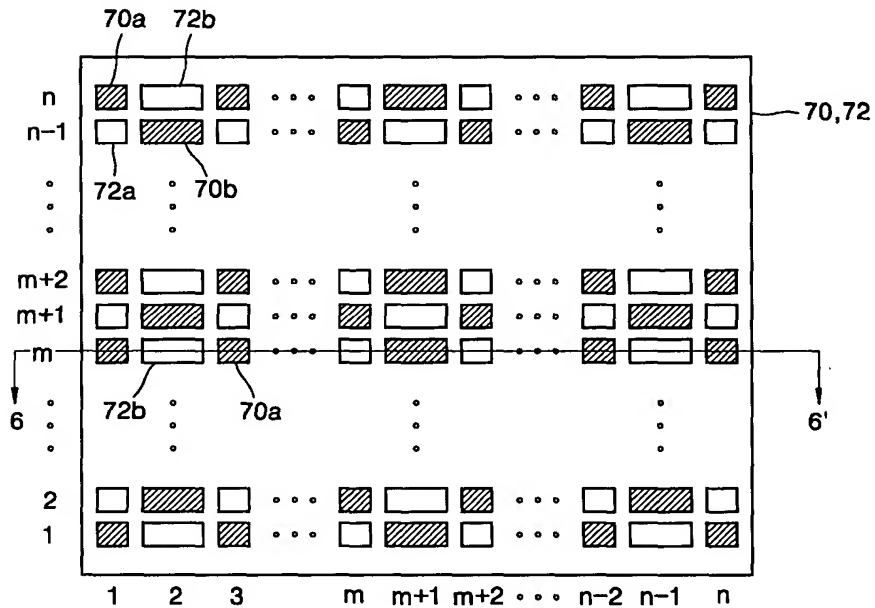
【도 3】



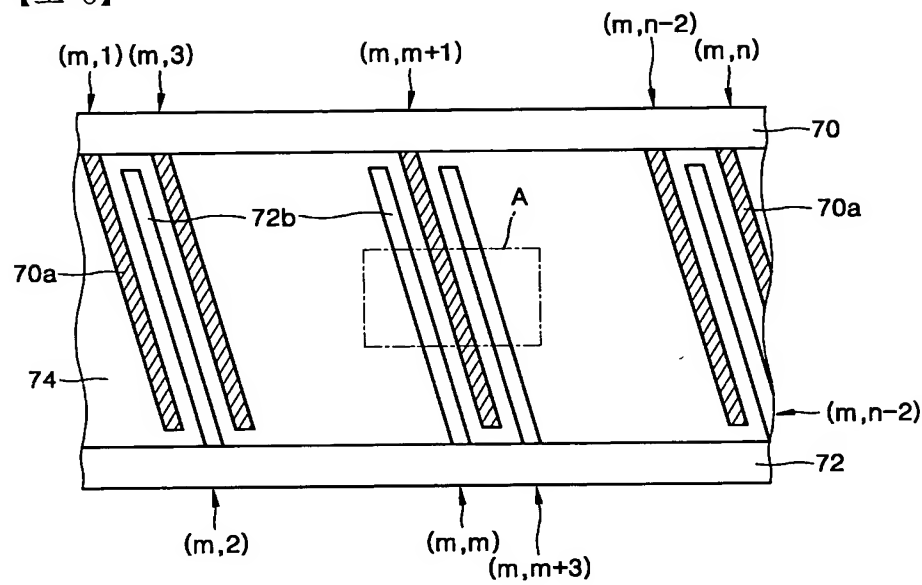
【도 4】



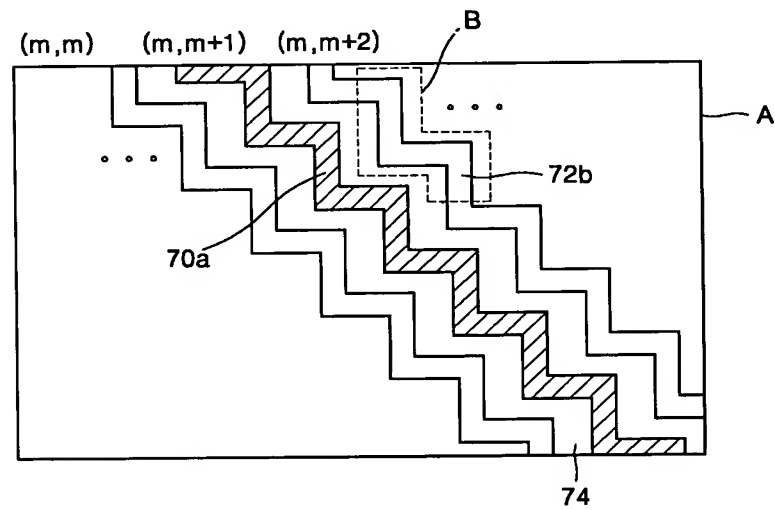
【도 5】



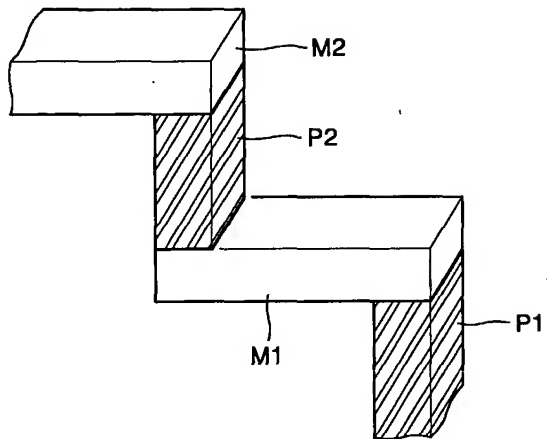
【도 6】



【도 7】



【도 8】



【도 9】

